

Patent Abstracts of Japan

PUBLICATION NUMBER : 08213624
PUBLICATION DATE : 20-08-96

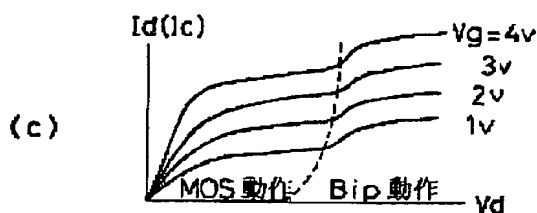
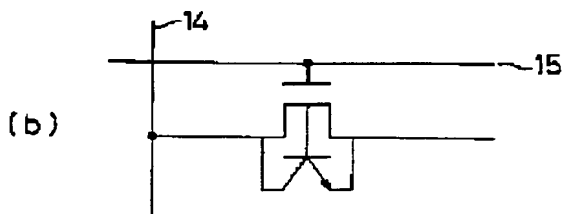
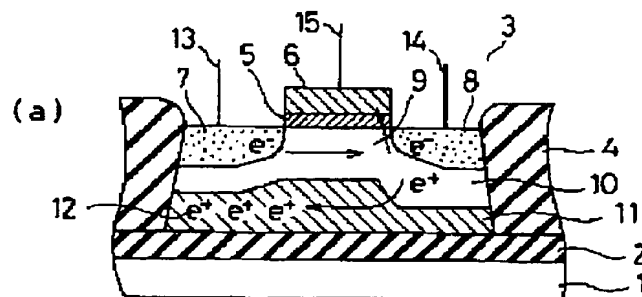
APPLICATION DATE : 08-02-95
APPLICATION NUMBER : 07020089

APPLICANT : FUJITSU LTD;

INVENTOR : MIURA TAKAO;

INT.CL. : H01L 29/786 H01L 27/10 H01L 29/43
H01L 21/8247 H01L 29/788 H01L
29/792

TITLE : SEMICONDUCTOR MEMORY AND ITS
OPERATING METHOD



ABSTRACT : PURPOSE: To enable the charge holding time to be prolonged while the erasing time to be notably shortened furthermore, the multivalued memory to be made operational.

CONSTITUTION: In the semiconductor memory, plural semiconductor insular regions in thickness exceeding $0.1\mu\text{m}$ completely insulated from adjacent regions electrically are provided in respective one MISFET and the charge 12 for data memory made of the charge in the opposite conductivity type to that of the source/drain regions 7, 8 of the MISFET is accumulated in the region 11 electrically floating between the source/drain regions of the MISFET.

COPYRIGHT: (C)1996,JPO

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213624

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

27/10

29/43

4 7 1

H 0 1 L 29/ 78

6 2 2

29/ 62

G

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平7-20089

(22) 出願日 平成7年(1995)2月8日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 三浦 隆雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

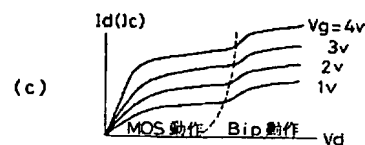
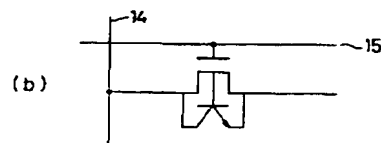
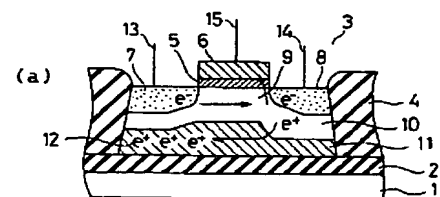
(54) 【発明の名称】 半導体記憶装置及びその動作方法

(57) 【要約】

【目的】 半導体記憶装置及びその動作方法に関し、電荷の保持時間を長くし、且つ、消去時間を大幅に短縮し、さらに、多値記憶を可能にする。

【構成】 支持基板1上に絶縁膜2を介して設けられ、且つ、隣接する領域から完全に電氣的に絶縁分離された厚さ0.1 μ m以上の複数の半導体島状領域3に夫々1つのMISFETを設け、且つ、MISFETのソース・ドレイン領域7、8とは反対導電型の電荷からなるデータ記憶のための電荷12をMISFETのソース・ドレイン領域間の電氣的に浮遊した領域11に蓄積する。

本発明の半導体記憶装置を構成するメモリセルの原理的構成の説明図



- | | | |
|-------------|-------------------|------------|
| 1 : 支持基板 | 7 : ソース領域 | 13 : ホールド線 |
| 2 : 絶縁膜 | 8 : ドレイン領域 | 14 : ビット線 |
| 3 : 半導体島状領域 | 9 : チャンネル領域 | 15 : ワード線 |
| 4 : 素子分離絶縁膜 | 10 : 空乏層 | |
| 5 : ゲート絶縁膜 | 11 : 電氣的に浮遊している領域 | |
| 6 : ゲート電極 | 12 : 正孔 | |

【特許請求の範囲】

【請求項1】 支持基板上に絶縁膜を介して設けられ、且つ、隣接する領域から完全に電気的に絶縁分離された厚さ0.1 μ m以上の複数の半導体島状領域に夫々1つのMISFETを設け、且つ、前記MISFETのソース・ドレイン領域と反対導電型の電荷からなるデータ記憶のための電荷を前記MISFETのソース・ドレイン領域間の電気的に浮遊した領域に蓄積することを特徴とする半導体記憶装置。

【請求項2】 支持基板上に絶縁膜を介して設けられ、且つ、隣接する領域から完全に電気的に絶縁分離された厚さ0.1 μ m以上の複数の半導体島状領域に夫々1つのnチャネル型MISFETを設け、且つ、前記MISFETのソース・ドレイン領域と反対導電型の電荷からなるデータ記憶のための電荷をMISFETのソース・ドレイン領域間の電気的に浮遊した領域に蓄積するようにした半導体記憶装置の動作方法において、少なくともデータの書込時にホールド線に接続されている前記ソース領域に対し、ビット線に接続されている前記ドレイン領域の電圧が正になるように電圧を印加すると共に、ワード線に接続されているゲート電極にチャネル領域の表面がn型に反転するような電位を選択的に印加してデータの書込みを行うことを特徴とする半導体記憶装置の動作方法。

【請求項3】 上記支持基板上に正電位を印加した状態でデータの書込みを行うことを特徴とする請求項2記載の半導体記憶装置の動作方法。

【請求項4】 上記ワード線に印加する正電位が2つ以上の値を持つことを特徴とする請求項2または3記載の半導体記憶装置の動作方法。

【請求項5】 上記ビット線とホールド線とが同一電位で上記電気的に浮遊した領域に対して正電位になるように電圧を印加し、且つ、上記ワード線を前記電気的に浮遊した領域に対して零または正電位となるように電圧を印加してデータの保持を行うことを特徴とする請求項2乃至4のいずれか1項に記載の半導体記憶装置の動作方法。

【請求項6】 上記支持基板上にホールド線と同一周期で且つ零または同極性の電位を印加してデータの保持を行うことを特徴とする請求項5記載の半導体記憶装置の動作方法。

【請求項7】 上記ホールド線に対して上記ビット線が正電位となるように電圧を印加し、且つ、上記ワード線を上記電気的に浮遊した領域に対して零または負電位となるように電圧を印加してデータの読出を行うことを特徴とする請求項2乃至6のいずれか1項に記載の半導体記憶装置の動作方法。

【請求項8】 上記ホールド線、ビット線、及び、ワード線の全てを零電位にしてデータの消去を行うことを特徴とする請求項2乃至7のいずれか1項に記載の半導体

記憶装置の動作方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置及びその動作方法に関し、特に、電荷蓄積用のキャパシタを不要とした1トランジスタメモリセルからなる多値記憶が可能なダイナミックランダムアクセス型の半導体記憶装置及びその動作方法に関するものである。

【0002】

【従来の技術】 従来、半導体記憶装置としては、ダイナミックランダムアクセスメモリ（DRAM）やスタティックランダムアクセスメモリ（SRAM）等の半導体装置が用いられており、特に、MISFETをスイッチング素子として用いた半導体記憶装置が多く用いられている。

【0003】 このうち、典型的なDRAMのメモリセルは、スイッチング素子としての一個のMISFETと電荷を蓄積するための一個のキャパシタから構成されており、キャパシタに電荷が蓄えられてビット線の電位が高い状態と電荷がなくてビット線の電位が低い状態とで、夫々の状態を“0”と“1”に記憶している。

【0004】 近年、半導体記憶装置の集積度の向上に伴って、スイッチング素子と共にキャパシタの2次元的面積を小さくすることが要請されているが、面積が小さくなると蓄積電荷量が少なくなるためキャパシタが保持できる電位が低下する。そうすると、ビット線の電位の高低差が小さくなるため記憶データの読出が困難となり、また、 α 線等に起因するソフトエラーに対しても弱くなる問題があった。

【0005】 このような問題を改善するために、キャパシタの面積を3次元的に大きくしてキャパシタの蓄積電荷量を多くするスタック型キャパシタ、フィン型キャパシタ、或いは、トレンチ型キャパシタ等が開発され、さらに、誘電率を大きくして蓄積電荷量を多くするために、高誘電率の絶縁膜を用いたキャパシタも開発されている。

【0006】 しかし、微細化がさらに進行すると、3次元的キャパシタを用いた場合には、素子の段差が大きくなり平坦化が困難になると共に、キャパシタにかかる応力が大きくなり、絶縁破壊の影響により製造歩留りが低下し、また、信頼性が低下するという問題が生じている。一方、高誘電率の絶縁膜を用いた場合には、絶縁膜の薄膜化に伴ってリーク電流が増大するという問題があった。

【0007】 そこで、本出願人は、このような問題を解決するために、以下に示す種々の提案を行っている。第1の提案（特開昭54-5635号公報）は、絶縁分離されたSOS（Silicon on Sapphire）構造の島状領域に形成したnチャネル型のMISFETのみを用いて、データを記憶する半導体記憶装置に

関するものである。

【0008】この半導体記憶装置は、ゲートに正電圧を印加してチャネルを生成したのち、正電圧を急激に遮断してチャネル内に流れていた電子を半導体基板内に注入するチャージポンプ現象を用いて電荷をMISFETのみで書込・保持するものであり、また、半導体基板のチャネルコンダクタンスの変化を読み取ることによって、保持データの読出を行うものである。

【0009】また、第2の提案（特開昭56-15063号公報）は、第1の提案を改良したもので、サファイア基板上に高不純物濃度シリコン層を介して低不純物濃度シリコン層をエピタキシャル成長させ、この低不純物濃度シリコン層内にソース・ドレイン領域を形成するものであり、第1の提案に比べてソース・ドレイン領域を設ける低不純物濃度シリコン層の結晶欠陥が少なくなることにより、注入された電荷のライフタイムは長くなり、リフレッシュ動作を減らすことができる。

【0010】さらに、第3の提案（特開平6-163895号公報）は、SOI（Silicon on Insulator）構造のnチャネル型MISFETを用いたものであり、半導体支持基板と半導体層を分離する埋込酸化膜中に多結晶シリコン層を埋め込み、このフローティングゲートとして作用する多結晶シリコン層中にドレイン・アバランシェブレークダウンによって生成した電子を注入するものであり、蓄積電荷の有無によってMISFETのしきい値電圧を変化させるものである。

【0011】この第3の提案は、半導体記憶装置のメモリセルを構成するものとしては意図されていないが、原理的には、EPROM或いはEEPROM的な半導体記憶装置として使用し得るものである。

【0012】

【発明が解決しようとする課題】しかし、第1の提案及び第2の提案の場合には、蓄積される電荷がソース・ドレイン領域の導電型と同導電型の電荷であるため、ソース・ドレイン領域と反対導電型の蓄積領域中において、この蓄積領域の多数キャリアである正孔と再結合して消滅するので、電荷の保持時間は約100μ秒程度と短く、頻繁なりフレッシュ動作を必要とする問題があり、保持時間を長くするためには液体窒素温度に冷却して使用する必要があった。

【0013】また、第3の提案は、EPROM或いはEEPROM的な構成であるため、半導体記憶装置として使用した場合には、紫外線照射や加熱によってデータを消去するか、或いは、高電圧を印加して電氣的に消去する必要があるため、消去時間が長くなったり、或いは、高電圧を必要とする問題がある。

【0014】したがって、本発明は、一個のMISFETのみを用いてメモリセルを構成する際に、液体窒素温度に冷却することなく電荷の保持時間を長くし、且つ、消去時間を大幅に短縮し、さらに、多値記憶を可能にす

ることを目的とする。

【0015】

【課題を解決するための手段】図1は本発明の半導体記憶装置を構成するメモリセルの原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図1(a)はメモリセルの断面図であり、図1(b)は図1(a)のメモリセルの等価回路であり、また、図1(c)は図1(a)のメモリセルの V_g-I_d 特性を示す特性曲線である。

【0016】図1(a)参照

本発明は、半導体記憶装置において、支持基板1上に絶縁膜2を介して設けられ、且つ、隣接する領域から完全に電氣的に絶縁分離された厚さ0.1μm以上の複数の半導体島状領域3に夫々1つのMISFETを設け、且つ、MISFETのソース・ドレイン領域7、8と反対導電型の電荷からなるデータ記憶のための電荷12をMISFETのソース・ドレイン領域7、8間の電氣的に浮遊した領域11に蓄積することを特徴とする。

【0017】図1(b)参照

また、本発明は、支持基板1上に絶縁膜2を介して設けられ、且つ、隣接する領域から完全に電氣的に絶縁分離された厚さ0.1μm以上の複数の半導体島状領域3に夫々1つのnチャネル型MISFETを設け、且つ、MISFETのソース・ドレイン領域7、8と反対導電型の電荷からなるデータ記憶のための電荷12をMISFETのソース・ドレイン領域7、8間の電氣的に浮遊した領域11に蓄積するようにした半導体記憶装置の動作方法において、ホールド線13に接続されているソース領域7に対し、ビット線14に接続されているドレイン領域8の電圧が正になるように電圧を印加すると共に、ワード線15に接続されているゲート電極6にチャネル領域9の表面がn型に反転するような電位を選択的に印加してデータの書込みを行うことを特徴とする。

【0018】また、本発明は、半導体記憶装置の動作方法において、支持基板1に正電位を印加した状態でデータの書込みを行うことを特徴とする。また、本発明は、半導体記憶装置の動作方法において、ワード線15に印加する正電位が2つ以上の値を持つことを特徴とする。

【0019】また、本発明は、半導体記憶装置の動作方法において、ビット線14とホールド線13とが同一電位で電氣的に浮遊した領域11に対して正電位になるように電圧を印加し、且つ、ワード線15を電氣的に浮遊した領域11に対して零または正電位となるように電圧を印加してデータの保持を行うことを特徴とする。

【0020】また、本発明は、半導体記憶装置の動作方法において、支持基板1にホールド線13と同一周期で且つ零または同極性の電位を印加してデータの保持を行うことを特徴とする。

【0021】また、本発明は、半導体記憶装置の動作方法において、ホールド線13に対してビット線14が正

電位となるように電圧を印加し、且つ、ワード線15を電氣的に浮遊した領域11に対して零または負電位となるように電圧を印加してデータの読出を行うことを特徴とする。

【0022】また、本発明は、半導体記憶装置の動作方法において、ホールド線13、ビット線14、及び、ワード線15の全てを零電位にしてデータの消去を行うことを特徴とする。

【0023】

【作用】次に、同じく図1を参照して本発明の作用を説明する。

図1(a)参照

支持基板1上に分離絶縁膜となる絶縁膜2を介して設けられ、且つ、隣接する領域から完全に電氣的に絶縁分離された複数の半導体島状領域3の厚さを0.1 μ m以上にすることによって、この半導体島状領域3に夫々1つのMISFETを設けた場合、MISFETのソース・ドレイン領域7、8間のチャネル領域9に発生する空乏層10が及ばない電氣的に浮遊した領域11が形成される。この電氣的に浮遊した領域11にMISFETのソース・ドレイン領域7、8と反対導電型の電荷からなるデータ記憶のための電荷12を蓄積することによって1つのMISFETのみによってデータを長く記憶することができる。

【0024】また、ホールド線13に接続されているソース領域7に対し、ビット線14に接続されているドレイン領域8の電圧が正になるように電圧を印加すると共に、ワード線15に接続されているゲート電極6にチャネル領域9の表面がn型に反転するような電位を選択的に印加することによって電子(e^-)はドレイン領域8側に走行し、ドレイン領域8近傍において衝突電離を起こして電子-正孔対を形成する。

【0025】この電子-正孔対の内の移動度の大きな電子はゲート電界とドレイン電界とによってゲート電極6及びドレイン領域8に抜けてしまうが、移動度の小さな正孔(e^+)12はソース領域7に抜けずにチャネル領域9に発生する空乏層10が及ばない電氣的に浮遊した領域11に留まることによって、データが書き込まれることになる。

【0026】また、支持基板1に正電位を印加した状態でデータの書込みを行うことにより、書込時に正孔12をクーロン斥力によって界面準位の多い支持基板界面から遠ざけることができるので、蓄積されるべき正孔12が界面準位によって減少することを防止することができる。また、ワード線15に印加する正電位を2つ以上の値を持つようにすることによって多値記憶が可能になる。

【0027】また、ビット線14とホールド線13とが同一電位で且つ電荷蓄積領域である電氣的に浮遊した領域11に対して正電位になるように電圧を印加してソ

ス領域7及びドレイン領域8の正孔12に対するポテンシャル・バリアを高くすることによって、蓄積された正孔12が n^+ 型のソース・ドレイン領域7、8に拡散して再結合によって消滅することを防止すると共に、ワード線15を電氣的に浮遊した領域11に対して零または正電位となるように電圧を印加することによって、蓄積された正孔12がゲート絶縁膜界面に拡散して消滅することを防止し、保持時間を長くすることができる。

【0028】また、支持基板1にホールド線13と同一周期で且つ零または同極性の電位を印加することによって、蓄積された正孔12を界面準位の多い支持基板界面から遠ざけることができるので、さらに、保持時間を長くすることができる。

【0029】また、ホールド線13に対してビット線14が正電位となるように電圧を印加し、且つ、ワード線15を電氣的に浮遊した領域11に対して零または負電位となるように電圧を印加すると、正孔12の蓄積によりチャネル領域9のソース領域7に対するポテンシャルバリアが低下して正帰還がかかり、ソース領域7をエミッタ、チャネル領域9をベース、及び、ドレイン領域8をコレクタとする横型のnpnバイポーラトランジスタが動作し、このBip動作によって流れるコレクタ電流を検出することによってデータの読出を行うことができる。

【0030】この場合のコレクタ電流 I_c (I_c)は、正孔電流量 I_B の h_{FE} 倍で表され、この正孔電流量 I_B は蓄積する正孔濃度に依存するものである。なお、この h_{FE} ($\equiv I_c / I_B$)の値は数十～数百であるが、ベース領域、即ち、チャネル領域の長さとは不純物濃度に依存し、また、コレクタ電流 I_c (I_c)は、ドレイン電圧とゲート電圧とに依存する。

【0031】図1(c)参照

図1(c)は、 $V_d - I_c$ 特性を示したものであり、衝突電離によって発生した正孔はドレイン電圧 V_d の増加に伴って増加し、チャネル領域のポテンシャルが低下することによってBip動作を開始する。この場合、ゲート電圧 V_g が低いと反転層のキャリア濃度が少ないので衝突電離の確率が低下し、正孔の発生量が低下するので、コレクタ電流 I_c (I_c)も制限されて低下する。

【0032】また、ホールド線13、ビット線14、及び、ワード線15の全てを零電位にすることによって、正孔12を拡散電流として n^+ 型領域であるソース・ドレイン領域7、8に流し、再結合によって消滅させることによって、データの消去を行うことができる。

【0033】

【実施例】本発明の半導体記憶装置の製造方法に関する第1の実施例である、SIMOX (Separation by Implanted Oxygen) 法を用いた製造工程を図2乃至図4を参照して説明する。なお、図3及び図4は、ウェハ状態を示す図2における1

mのシリコン半導体基板40と高不純物濃度シリコン半導体基板38とを重ね合わせ、約 50 g cm^{-2} の加重をかけた状態でファンデルワールス力によって両者を自然に接合させ、ドライ O_2 雰囲気中において、 1000°C の基板温度で1時間熱処理することによって、両者を貼り合わせる。

【0048】図6(c)参照

次いで、低不純物濃度シリコン半導体層39を形成した高不純物濃度シリコン半導体基板38表面を研削して $200\text{ }\mu\text{m}$ の厚さにしたのち、 HF と HNO_3 からなるエッチング液を用いて高不純物濃度シリコン半導体基板38のみを選択的にエッチング除去して $0.3\text{ }\mu\text{m}$ の厚さの低不純物濃度シリコン半導体層39を残存させる。次いで、図3(c)乃至図4(h)と同様の工程を経て、図4(h)に示す構造と基本的に同様なメモリセルが完成する。

【0049】なお、上記各実施例において、シリコン層の厚さを $0.3\text{ }\mu\text{m}$ 或いは $0.5\text{ }\mu\text{m}$ で説明しているが、この厚さは、メモリセルを形成した際に、ソース・ドレイン領域間のチャネル領域に発生する空乏層10が及ばない電氣的に浮遊した領域が形成される厚さ、即ち、 $0.1\text{ }\mu\text{m}$ 以上であれば良いものである。

【0050】また、分離用絶縁膜(図2の19、図5の36、図6の41)の厚さとして、 $0.4\text{ }\mu\text{m}$ 乃至 $0.6\text{ }\mu\text{m}$ を採用しているが、これらの数値に限られるものではない。また、ゲート絶縁膜及びゲート電極の厚さとしては $50\text{ }\text{\AA}$ 及び $0.2\text{ }\mu\text{m}$ で説明しているが、これらの数値に限られるものではなく、夫々 $45\text{ }\text{\AA}$ 乃至 $55\text{ }\text{\AA}$ 及び 0.18 乃至 0.22 であれば良く、さらに、ゲート電極となる多結晶シリコンにドーブするPの濃度は $2 \times 10^{20}\text{ cm}^{-3}$ 以下であれば良い。

【0051】また、チャネル領域のB濃度は $6 \times 10^{16}\text{ cm}^{-3}$ 乃至 $6 \times 10^{17}\text{ cm}^{-3}$ 、好適には $3.3 \times 10^{17}\text{ cm}^{-3}$ であれば良く、ソース・ドレイン領域の深さは $0.15\text{ }\mu\text{m}$ 以下、好適には $0.1\text{ }\mu\text{m}$ であれば良く、ソース・ドレイン領域の不純物濃度は 6×10^{19} 乃至 $5 \times 10^{20}\text{ cm}^{-3}$ 、好適には $3.3 \times 10^{20}\text{ cm}^{-3}$ であれば良く、さらに、チャネル長は $0.15\text{ }\mu\text{m}$ 以上であれば良い。

【0052】次に、図7を参照して、本発明のnチャネル型MISFETを用いた半導体記憶装置の動作方法の内の最も基本的な第1の実施例を説明する。

図7(a)参照

図7(a)は、本発明の半導体記憶装置のデータの書込時、データの保持時、データの読出し時、及び、データの消去時における、各ドレイン領域に接続するビット線、ゲート電極に接続するワード線、及び、ソース領域に接続するホールド線に印加する電圧(動作パルス)を示したものであり、上段が正孔を蓄積・保持する“0”の状態における動作パルスを表し、下段が正孔を蓄積してい

ない“1”の状態における動作パルスを表す。

【0053】まず、データの書込時には、“0”のデータを書き込むメモリセルのビット線及びワード線に正電圧(図の場合には 3 V)を印加し、ホールド線を 0 V にしてMISFETをONさせることによってドレイン近傍において衝突電離を起こし、衝突電離によって発生した電子-正孔対の内の電子をゲート電極及びドレイン領域に逃がすことによって正孔を半導体層内の電氣的に浮遊した領域に蓄積する。なお、“1”のデータを書き込むメモリセル、即ち、正孔を蓄積させないメモリセルのワード線には反転層が生じないように 0 V の電圧を印加することによって、MISFETをOFF状態にすれば良い。

【0054】次に、データの保持時には、各メモリセルのワード線の電位を 0 V にすると共に、各メモリセルのビット線及びホールド線に正電圧(図の場合には 3 V)を印加して、正孔に対するソース・ドレイン領域のポテンシャル・バリアを高くして正孔がソース・ドレイン領域に拡散することを防止する。なお、この場合の正孔のライフタイムはpn接合面や Si/SiO_2 界面の結晶性に強く依存するが、大凡 $2\sim 10\text{ msec}$ であると推定されるので、リフレッシュ時間としては $2\sim 4\text{ msec}$ 程度の値が設計的に要求される。

【0055】次に、データの読出し時には、各メモリセルのワード線及びホールド線の電位を 0 V にした状態で、各メモリセルのビット線に正電圧(図の場合には 3 V)を印加する。この場合、メモリセルのチャネル領域は蓄積されている正孔によってソース領域に対してポテンシャル・バリアが低くなっているため、ビット線に正電圧を印加してソース・ドレイン間にポテンシャル勾配をつけることによって電子がソース領域からドレイン領域に向かって流れる。なお、この場合、ワード線の電位は負電位にしても良い。

【0056】このドレイン電流は、チャネル表面の反転層を流れる通常のMIS動作によるものではなく、シリコン半導体基板内を流れるBip動作による電流成分であり、且つ、このドレイン電流は蓄積されている正孔濃度に比例する。一方、正孔が蓄積されていないメモリセルにおいては、Bip動作が生ぜず、且つ、ワード線が 0 V でMISFETがOFFした状態のままであるためドレイン電流は流れないので、この電流の差を検出回路で直接読み取ることによって“0”或いは“1”の読出しが可能となる。

【0057】なお、電流の検出は、ドレインの電位変動量によって行うことも可能である。即ち、ドレインに電流が流れるとビット線に流れる電流量に比例した逆起電力が発生し、この逆起電力はドレインの電位を一時的に低下させるので、この低下量を検出回路で検出して良い。この方法は、デバイスの省電力化にとって有効であるが、検出精度は直接電流量を検出する前者の方法に劣

7

つのメモリセルに対応する一部領域を拡大したものである。

【0034】図2(a)参照

まず、ボロン濃度が $1.35 \times 10^{15} \text{ cm}^{-3}$ で厚さが $600 \mu\text{m}$ のシリコン半導体基板16に、 200 KeV の加速電圧で、 $1.8 \times 10^{18} \text{ cm}^{-2}$ のドーズ量で酸素イオン17を注入することによって、深さ $0.4 \mu\text{m}$ の位置にイオン注入層18を形成する。

【0035】図2(b)参照

次いで、アルゴンガス雰囲気中において、基板温度を 1320°C とした状態で6時間熱処理をすることによって、注入した酸素イオン17とSiとを結合させて、厚さ $0.4 \mu\text{m}$ の SiO_2 層19及び厚さ $0.3 \mu\text{m}$ のシリコン半導体層20を形成して、SOI構造を形成する。

【0036】図3(c)参照

次いで、シリコン半導体層20の表面に熱酸化によって 50 \AA のパッド酸化膜21を形成したのち、CVD法によって $0.1 \mu\text{m}$ の Si_3N_4 膜22を堆積させ、次いで、レジスト層を塗布しパターニングすることによって形成したレジストマスク23をマスクとして 60 KeV の加速電圧で、 $5 \times 10^{18} \text{ cm}^{-2}$ のドーズ量でBイオン24をイオン注入する。

【0037】図3(d)参照

次いで、レジストマスクを利用して Si_3N_4 膜22をエッチングして、選択酸化用マスクを形成したのち、レジストマスクを除去し、次いで、 1000°C のウェット酸化雰囲気中で熱酸化することによって $0.6 \mu\text{m}$ の素子分離酸化膜25を形成する。この場合、注入したBの一部は素子分離酸化膜25とシリコン半導体層20の界面に析出してチャネル・ストッパー(図示せず)となる。

【0038】図3(e)参照

次いで、選択酸化用マスク及びパッド酸化膜を除去したのち、熱酸化によって 50 \AA のゲート酸化膜26を形成し、次いで、しきい値 V_{th} を制御するために 25 KeV の加速電圧で、 $1.5 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でBイオン27をイオン注入する。

【0039】図4(f)参照

次いで、厚さ $0.2 \mu\text{m}$ の多結晶シリコンを堆積させ、Pを $1 \times 10^{20} \text{ cm}^{-3}$ にドーブしたのち、所定パターンのレジストマスク(図示せず)をマスクとして多結晶シリコンをパターニングすることによってゲート電極28を形成する。

【0040】図4(g)参照

次いで、レジストマスクを除去したのち、 20 KeV の加速電圧で、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でAsイオン29をイオン注入し、窒素雰囲気中で 800°C で20分間熱処理をすることによって注入したAsイオンを活性化してソース・ドレイン領域30、31を形成する。

8

【0041】図4(h)参照

最後に、PSG(フォスフォシリケート・ガラス)膜32を堆積させて、このPSG膜32にコンタクトホールを形成し、次いで、全面にアルミニウム層を蒸着したのちパターニングしてソース・ドレイン電極33、34及びそれに接続する配線層(図示せず)を形成してメモリセルが完成する。

【0042】従来のDRAMにおいては、MISFETの占有面積を1とした場合、キャパシタの占有面積は0.5程度であり、メモリセル全体としては1.5の占有面積を必要としていたのに対して、本発明の半導体記憶装置は1つのMISFETのみによって1つのメモリセルを構成することができるので、その占有面積は1となり、記憶密度は1.5倍に向上する。

【0043】次に、図5を参照して、基板貼り合わせ法を用いた本発明の第2の実施例の製造工程を説明する。

図5(a)参照

まず、ボロン濃度が $1.35 \times 10^{15} \text{ cm}^{-3}$ で厚さが $600 \mu\text{m}$ の第1のシリコン半導体基板35をウェットO₂雰囲気中において、 1100°C の基板温度で1時間熱処理することによって、表面に $0.6 \mu\text{m}$ の厚さの SiO_2 膜36を形成する。

【0044】図5(b)参照

次いで、ボロン濃度が $1.35 \times 10^{15} \text{ cm}^{-3}$ で厚さが $600 \mu\text{m}$ の第2のシリコン半導体基板37と第1のシリコン半導体基板35とを重ね合わせ、約 50 g cm^{-2} の加重をかけた状態でファンデルワールス力によって両者を自然に接合させ、ドライO₂雰囲気中において、 1100°C の基板温度で2時間熱処理することによって、両者を貼り合わせる。

【0045】図5(c)参照

次いで、第1のシリコン半導体基板35の表面を研削したのち研磨することによって、第1のシリコン半導体基板35の厚さを $0.5 \mu\text{m}$ まで薄層化する。次いで、図3(c)乃至図4(h)と同様の工程を経て、図4(h)に示す構造と基本的に同様なメモリセルが完成する。

【0046】次に、図6を参照して、他の基板貼り合わせ法を用いた本発明の第3の実施例の製造工程を説明する。

図6(a)参照

まず、ボロン濃度が $1.00 \times 10^{19} \text{ cm}^{-3}$ (比抵抗: $0.01 \Omega \cdot \text{cm}$)で厚さが $600 \mu\text{m}$ の高不純物濃度シリコン半導体基板38の表面に、ボロン濃度が $1.35 \times 10^{15} \text{ cm}^{-3}$ (比抵抗: $10 \Omega \cdot \text{cm}$)の低不純物濃度シリコン半導体層39を $0.3 \mu\text{m}$ エピタキシャル成長させる。

【0047】図6(b)参照

次いで、表面に $0.5 \mu\text{m}$ の SiO_2 膜41を形成した不純物濃度が $1.35 \times 10^{15} \text{ cm}^{-3}$ で厚さが $600 \mu\text{m}$

るものである。

【0058】次に、データの消去時には、各メモリセルのビット線、ワード線、及び、ホールド線の電位を全て0Vにすることによって、蓄積されていた正孔は n^+ 型のソース・ドレイン領域に拡散によって流れ込み、電子と再結合して消滅する。この場合の消去時間は、正孔の移動速度($4.3 \times 10^7 \text{ cm/sec}$)及びチャンネル長($0.15 \mu\text{m} = 0.15 \times 10^{-4} \text{ cm}$)からみて、 0.35 psec 程度と推定される。

【0059】なお、上記の動作の説明は“0”及び“1”の1ビット/セルとして説明しているが、本発明の半導体記憶装置は多値記憶が可能になるものである。この多値記憶方式自体は原理的に知られているものであり、電荷の蓄積状態を3つ以上に設定することによって、“0”或いは“1”以外のデータを記憶できるものであり、例えば、4つの電荷蓄積状態を設定することによって従来の2倍の2ビットの記憶が可能になる。

【0060】図7(b)及び(c)参照

図7(b)は、通常の1ビット/セルによる記憶方式を示すもので、図7(c)は、2ビット/セルによる多値記憶方式を説明するものである。8ビットのデータ(図の場合は、11100100)を記憶する場合に、図7(b)に示すように従来の1ビット/セルによる記憶方式では8セルが必要であったが、2ビット/セルによる多値記憶方式では各セルが夫々2ビット分記憶するので4セルで充分であるため、単純には集積度は2倍に向上するが、キャパシタの有無を加味すると集積度は3倍に向上する。

【0061】この様に、多値記憶方式は素子を微細化しなくとも記憶密度の向上が可能であるため、超高密度メモリにとって魅力のある方式であるが、従来のキャパシタによって電荷を蓄積する方式では容量が極めて小さいため、4つ以上の蓄積電荷の各蓄積量の差が小さすぎ、その差を精度良く検出することは困難であるため実用には至っていなかった。

【0062】しかしながら、本発明の半導体記憶装置を構成するメモリセルは、正孔の蓄積量が図1(c)に示すように印加するゲート電圧レベルに依存するものであるので、ゲート電極にいくつかのレベルを選択して印加することによって多値記憶が可能になり、また、データの読出においては、ドレイン電流(コレクタ電流)を検出するものであるもので、蓄積されている電荷量の差が小さくても h_{FE} (数十~数百)倍に増幅して検出するので高精度の検出回路は不要となり、多値記憶の読出が容易に行えるようになる。

【0063】次に、図8乃至図9を参照して、本発明の n チャンネル型MISFETを用いた半導体記憶装置の動作方法に関する第2乃至第5の実施例を説明する。なお、図8乃至図9は図7(a)と同様に、データの書込時、データの保持時、データの読出時、及び、データの

消去時における、ビット線、ワード線、及び、ホールド線に印加する電圧(動作パルス)を示したものであり、上段が正孔を蓄積・保持する“0”の状態における動作パルスを表し、下段が正孔を蓄積していない“1”の状態における動作パルスを表す。

【0064】図8(a)参照

図8(a)は半導体記憶装置の動作方法に関する第2の実施例の説明図であり、第1の実施例と比較するとデータ保持時にワード線に正電圧(図の場合には3V)を印加する点で相違しているだけで、他のデータの書込時、データの読出時、及び、データの消去時の駆動パルスは第1の実施例と同様であるので、データ保持時についてのみ説明する。

【0065】データを保持する際に、第1の実施例と同様に各メモリセルのビット線及びホールド線に正電圧(図の場合には3V)を印加して、正孔に対するソース・ドレイン領域のポテンシャル・バリアを高くしてソース・ドレイン領域に拡散することを防止すると共に、ワード線に3Vの電圧を印加することによって正孔がゲート酸化膜界面に拡散して界面準位等により消滅することを防止するので、第1の実施例と比較して電荷保持時間が向上する。

【0066】図8(b)参照

次に、図8(b)を参照して半導体記憶装置の動作方法に関する第3の実施例を説明すると、この第3の実施例は、第1の実施例と比較するとデータ保持時に支持基板に正電圧(図の場合には10V)を印加する点、即ち、支持基板にホールド線と同周期で電圧を印加する点で相違しているだけであり、他のデータの書込時、データの読出時、及び、データの消去時の駆動パルスは第1の実施例と同様であるので、データ保持時についてのみ説明する。

【0067】データを保持する際に、第1の実施例と同様に各メモリセルのビット線及びホールド線に正電圧(図の場合には3V)を印加して、正孔に対するソース・ドレイン領域のポテンシャル・バリアを高くしてソース・ドレイン領域に拡散することを防止すると共に、支持基板に10Vの電圧を印加することによって正孔が分離酸化膜界面に拡散して界面準位等により消滅することを防止するので、第1の実施例と比較して電荷保持時間が向上し、また、第2の実施例と比較した場合には略同等の効果が得られる。

【0068】なお、この支持基板に印加する電圧は、ビット線或いはホールド線に印加する電圧と同じでも良いが、分離酸化膜の膜厚が $0.4 \sim 0.6 \mu\text{m}$ と厚く電界が弱められるので、正孔の拡散をより効果的に防止するためには+10V程度の電圧の印加が好ましい。

【0069】図9(a)参照

次に、図9(a)を参照して半導体記憶装置の動作方法に関する第4の実施例を説明すると、この第4の実施例

は、第2の実施例と比較するとデータ保持時に支持基板に正電圧（図の場合には10V）を印加する点、即ち、支持基板にホールド線と同周期で電圧を印加する点で相違しているだけであり、他のデータの書込時、データの読出時、及び、データの消去時の駆動パルスは第2の実施例と同様であるので、データ保持時についてのみ説明する。

【0070】データを保持する際に、第2の実施例と同様に各メモリセルのワード線、ビット線、及び、ホールド線の全てに正電圧（図の場合には3V）を印加して、正孔に対するソース・ドレイン領域のポテンシャル・バリアを高くしてソース・ドレイン領域に拡散することを防止し、且つ、正孔がゲート酸化膜界面に拡散して界面準位等により消滅することを防止すると共に、支持基板に10Vの電圧を印加することによって正孔が分離酸化膜界面に拡散して界面準位等により消滅することを防止するので、第2及び第3の実施例と比較して電荷保持時間がさらに向上する。

【0071】図9（b）参照

次に、図9（b）を参照して半導体記憶装置の動作方法に関する第5の実施例を説明すると、この第5の実施例は、第4の実施例と比較するとデータ書込時に支持基板に正電圧（図の場合には10V）を印加する点で相違しているだけで、他のデータの保持時、データの読出時、及び、データの消去時の駆動パルスは第4の実施例と同様であるので、データ書込時についてのみ説明する。なお、図における支持基板電位はワード線の駆動パルスと重ね合わせて記載している。

【0072】データを書き込む際には第1乃至第4の実施例と同様に、“0”のデータを書き込むメモリセルのビット線及びワード線に正電圧（図の場合には3V）を印加し、ホールド線を0VにしてMISFETをONさせることによってドレイン近傍において衝突電離を起こし、この衝突電離によって発生した電子-正孔対の内の電子をゲート電極及びドレイン領域に逃がすことによって正孔を半導体層内の電氣的に浮遊した領域に蓄積する。

【0073】この場合、書込から保持まで支持基板に正電圧（図の場合には10V）を連続して印加することによって、正孔はクーロン斥力によって分離絶縁膜界面から離れ、書込と保持との間の瞬間的な切替え動作中に界面準位によって正孔が消滅するのを防止することができる。なお、“1”のデータを書き込むメモリセルは、正孔が蓄積されないのので、支持基板に正電圧を印加しても特段の効果は生じないものである。

【0074】なお、上記の半導体装置の各実施例及びその動作方法の各実施例においては、n型MISFETについて説明しているが原理的には速度が遅くなるだけで、p型MISFETを用いても良いものであり、その場合には、蓄積される電荷は電子となり、各信号線に印

加する電圧は上記各実施例において印加する電圧と逆極性の電圧である。

【0075】

【発明の効果】本発明によれば、SOI構造のMISFETからなるメモリセルの電氣的に浮遊した領域にソース・ドレイン領域と反対導電型の電荷を蓄積するようにしたので、キャパシタが不要になり、且つ、Bip動作により電荷の蓄積及び読出を行うので多値記憶が可能になるので、従来の1トランジスタ及び1キャパシタからなる半導体記憶装置と比較して集積度を大幅に向上することができ、また、蓄積される電荷がソース・ドレイン領域と反対導電型であり、且つ、その動作において支持基板に適当な電位を印加して蓄積された電荷の再結合による消滅を防止することによって、従来の1トランジスタのみからなる半導体記憶装置と比較して電荷保持時間を長く且つリフレッシュ時間を長くすることができると共に、消去時間を大幅に短縮することが可能になる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置を構成するメモリセルの原理的構成の説明図である。

【図2】本発明の半導体記憶装置の製造方法に関する第1の実施例の途中までの製造工程の説明図である。

【図3】本発明の半導体記憶装置の製造方法に関する第1の実施例の図2以降の途中までの製造工程の説明図である。

【図4】本発明の半導体記憶装置の製造方法に関する第1の実施例の図3以降の製造工程の説明図である。

【図5】本発明の半導体記憶装置の製造方法に関する第2の実施例の途中までの製造工程の説明図である。

【図6】本発明の半導体記憶装置の製造方法に関する第3の実施例の途中までの製造工程の説明図である。

【図7】本発明の半導体記憶装置の動作方法の第1の実施例の説明図である。

【図8】本発明の半導体記憶装置の動作方法の第2及び第3の実施例の説明図である。

【図9】本発明の半導体記憶装置の動作方法の第4及び第5の実施例の説明図である。

【符号の説明】

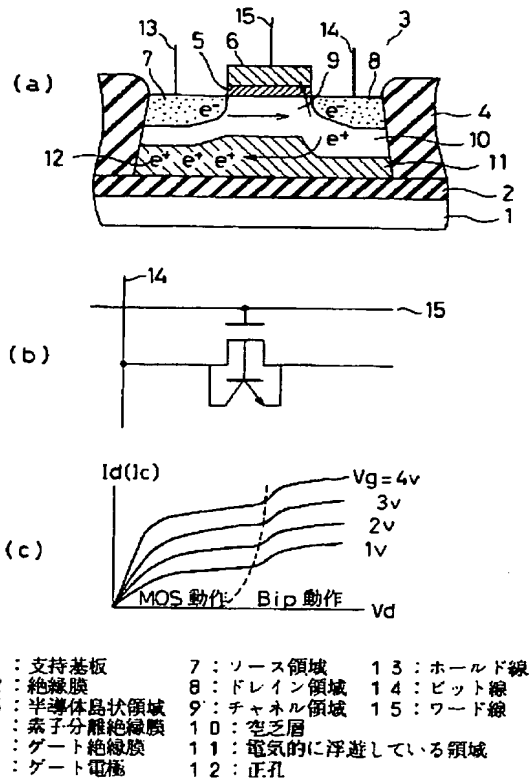
- 1 支持基板
- 2 絶縁膜
- 3 半導体島状領域
- 4 素子分離絶縁膜
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 ソース領域
- 8 ドレイン領域
- 9 チャネル領域
- 10 空乏層
- 11 電氣的に浮遊している領域
- 12 正孔

15

- 13 ホールド線
- 14 ビット線
- 15 ワード線
- 16 シリコン半導体基板
- 17 酸素イオン
- 18 イオン注入層
- 19 SiO_2 層
- 20 シリコン半導体層
- 21 パッド酸化膜
- 22 Si_3N_4 膜
- 23 レジストマスク
- 24 Bイオン
- 25 選択酸化膜
- 26 ゲート酸化膜
- 27 Bイオン

【図 1】

本発明の半導体記憶装置を構成するノモリセルの
原理的構成の説明図



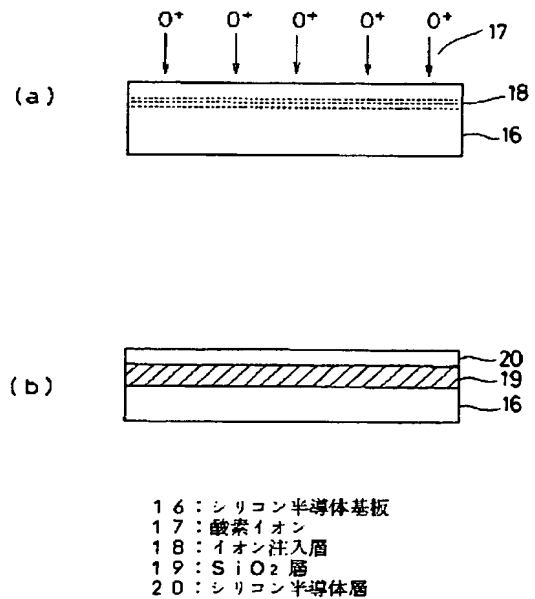
16

- 28 ゲート電極
- 29 Asイオン
- 30 ソース領域
- 31 ドレイン領域
- 32 PSG膜
- 33 ソース電極
- 34 ドレイン電極
- 35 第1のシリコン半導体基板
- 36 SiO_2 膜
- 37 第2のシリコン半導体基板
- 38 高不純物濃度シリコン半導体基板
- 39 低不純物濃度シリコン半導体層
- 40 シリコン半導体基板
- 41 SiO_2 膜

10

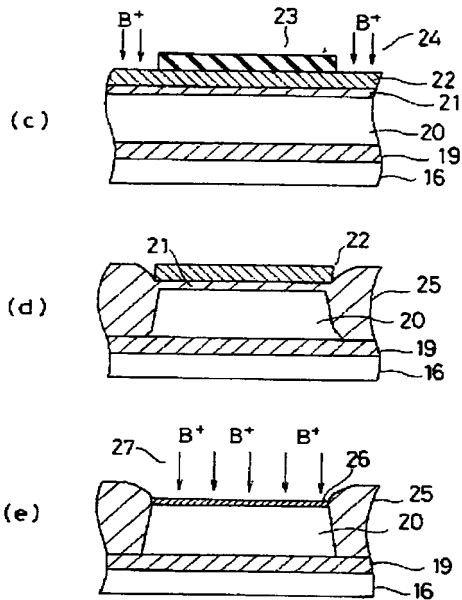
【図 2】

本発明の半導体記憶装置の製造方法に関する
第1の実施例の途中までの製造工程の説明図



【図 3】

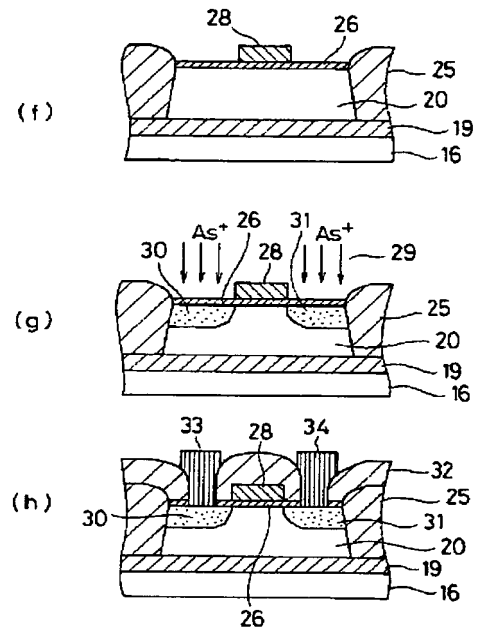
本発明の半導体記憶装置の製造方法に関する第 1 の実施例の
図 2 以降の途中までの製造工程の説明図



- | | |
|--------------------------------------|-------------|
| 16: シリコン半導体基板 | 23: レジストマスク |
| 19: SiO ₂ 層 | 24: B イオン |
| 20: シリコン半導体層 | 25: 選択酸化膜 |
| 21: パッド酸化膜 | 26: ゲート酸化膜 |
| 22: Si ₃ N ₄ 膜 | 27: B イオン |

【図 4】

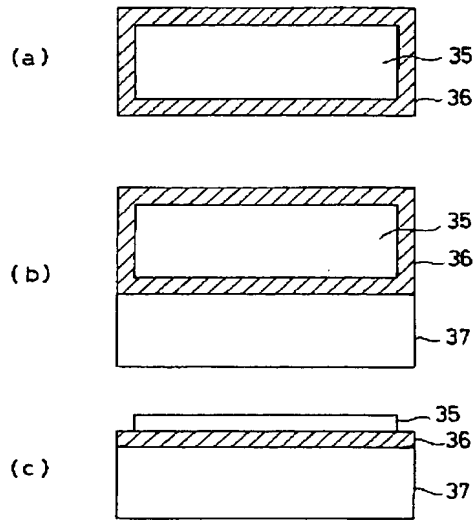
本発明の半導体記憶装置の製造方法に関する
第 1 の実施例の図 3 以降の製造工程の説明図



- | | |
|------------------------|------------|
| 16: シリコン半導体基板 | 29: As イオン |
| 19: SiO ₂ 層 | 30: ソース領域 |
| 20: シリコン半導体層 | 31: ドレイン領域 |
| 25: 選択酸化膜 | 32: PSG 膜 |
| 26: ゲート酸化膜 | 33: ソース電極 |
| 28: ゲート電極 | 34: ドレイン電極 |

【図 5】

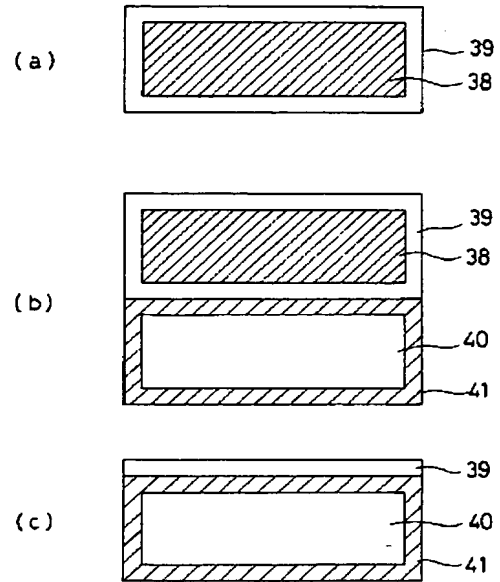
本発明の半導体記憶装置の製造方法に関する
第 2 の実施例の途中までの製造工程の説明図



35 : 第 1 のシリコン半導体基板
36 : SiO_2 膜
37 : 第 2 のシリコン半導体基板

【図 6】

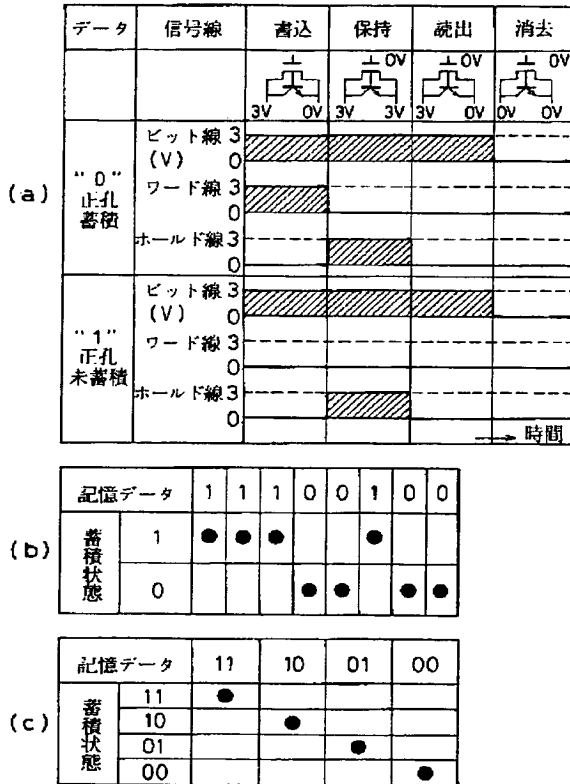
本発明の半導体記憶装置の製造方法に関する
第 3 の実施例の途中までの製造工程の説明図



38 : 高不純物濃度シリコン半導体基板
39 : 低不純物濃度シリコン半導体基板
40 : シリコン半導体基板
41 : SiO_2 膜

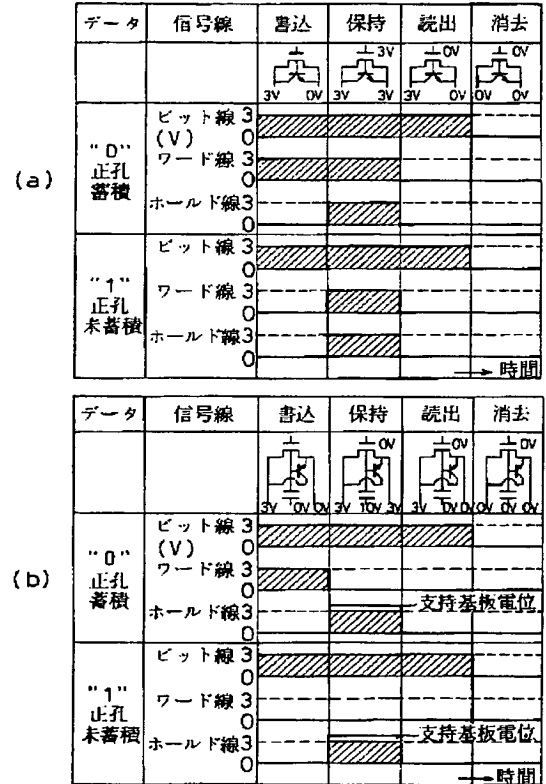
【図 7】

本発明の半導体記憶装置の動作方法の第 1 の実施例の説明図



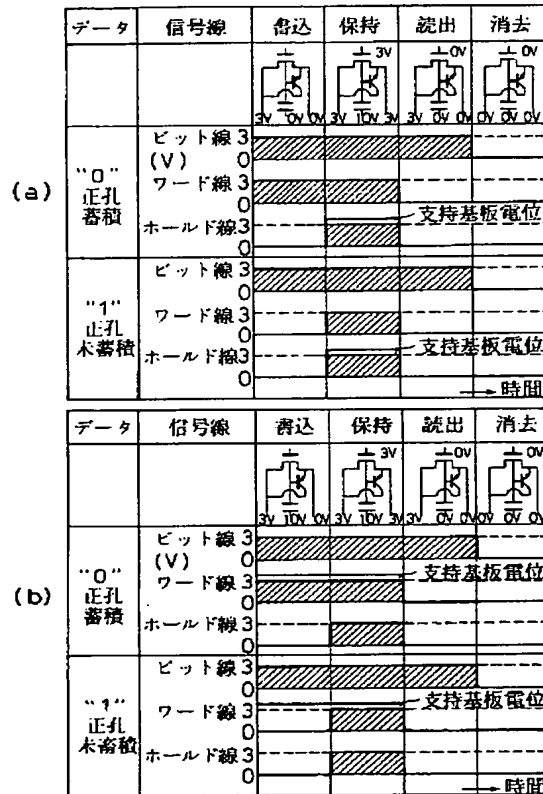
【図 8】

本発明の半導体記憶装置の動作方法の第 2 及び第 3 の実施例の説明図



【図9】

本発明の半導体記憶装置の動作方法の第4及び第5の実施例の説明図



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 7 1

6 1 3 A

THIS PAGE BLANK (BETTER)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)